

明細書

レベルシフト回路及びこれを備えた半導体集積回路

技術分野

[0001] 本発明は、異なる電源電圧を有する半導体集積回路で必要なレベルシフト回路に関するものである。

背景技術

[0002] 従来のレベルシフト回路について説明する。

[0003] 図5は従来のレベルシフト回路を示す。同図において、BUF1は低電源電圧動作で動作するインバータINV1、INV2を含むバッファ、BUF2は高電源電圧で動作するインバータINV3、INV4を含むバッファ、VDDH、VDDLは各々高電圧電源、低電圧電源、VSSH、VSSLは各々高電圧電源、低電圧電源に対するグランド(0V)、Tn1、Tn2は第1、第2Nチャネル(以下Nchという)MOSトランジスタ、Tp1、Tp2は第1、第2Pチャネル(以下Pchという)MOSトランジスタ、INは入力信号端子、OUTは出力信号端子、Aは前記NchMOSトランジスタTn1のドレインとPchMOSトランジスタTp1のドレインとPchMOSトランジスタTp2のゲートとが接続されたノード、Bは前記NchMOSトランジスタTn2のドレインとPchMOSトランジスタTp2のドレインとPchMOSトランジスタTp1のゲートとが接続されたノードである。

[0004] 前記NchMOSトランジスタTn1、Tn2のソースとPchMOSトランジスタTp1、Tp2のソースとは、各々、低電圧電源VSSH及び高電圧電源VDDHに接続される。INは前記バッファBUF1への低電源電圧の入力信号用の入力端子であって、バッファBUF1の2個のインバータINV1、INV2からの逆相及び同相の入力信号INは、各々、前記NchMOSトランジスタTn1、Tn2のゲートに入力される。出力側のバッファBUF2の入力側は前記ノードBに接続され、その出力側は出力信号端子OUTに接続される。

[0005] 以上のように構成された従来のレベルシフト回路について、以下、その動作について説明する。

[0006] バッファBUF1の入力信号端子INの入力信号INが低レベルから高レベルに変化

した時、バッファBUF1のインバータINV1、INV2の出力から入力信号INと逆相及び同相の信号がNchMOSトランジスタTn1、Tn2のゲート電圧に各々入力される。その時、入力信号と逆相の信号、即ち、高レベルから低レベルに変化する信号がゲートに印加されたNchMOSトランジスタTn2は、徐々にON抵抗が上昇し、NchMOSトランジスタTn2のドレインーソース間の電圧が上昇する。これとほぼ同時に、入力信号INと同相の信号がゲートに印加されたNchMOSトランジスタTn1は導通し、徐々にそのON抵抗が低くなり、NchMOSトランジスタTn1のドレインーソース間の電圧が低下する。

[0007] 以上の2個のNchMOSトランジスタTn1、Tn2の動作に伴い、PchMOSトランジスタTp2のゲート電圧が低下して、そのドレイン電圧が上昇する。これにより、PchMOSトランジスタTp1のゲート電圧が上昇する。最終的にバッファBUF1への入力信号INが高レベルになると、NchMOSトランジスタTn1のドレインーソース間が完全に導通し、ノードAは0Vとなる。また、NchMOSトランジスタTn2のドレインーソース間が完全に非導通となると共に、PchMOSトランジスタTp2のソースードレイン間が導通して、ノードBの電圧が高電源電圧VDDHと等しくなる。この際、高電源電圧VDDHで動作するバッファBUF2は、ノードBの電圧が高電源電圧VDDHへ移行するのに伴い、出力信号端子OUTからの出力信号の電位を高電源電圧VDDHにして、この出力信号を図示しない高電源電圧動作回路へ供給する。

[0008] 一方、入力信号端子INの入力信号が高レベルから低レベルに変化した際、バッファBUF1のインバータINV1、INV2の出力からは、入力信号INと逆相及び同相の信号がNchMOSトランジスタTn1、Tn2のゲートに各々入力される。その時、入力信号と逆相の信号、即ち、低レベルから高レベルに変化する信号がゲートに印加されたNchMOSトランジスタTn2は導通し、徐々にON抵抗が低くなって、そのドレインーソース間の電圧が低下する。これとほぼ同時に、入力信号INと同相の信号がゲートに印加されたNchMOSトランジスタTn1は、徐々にON抵抗が高くなって、そのドレインーソース間の電圧が上昇する。

[0009] 以上の2個のNchMOSトランジスタTn1、Tn2の動作に伴い、PchMOSトランジスタTp1のゲート電圧が低下して、そのドレイン電圧が上昇する。これにより、PchMOS

SトランジスタTp2のゲート電圧が上昇する。最終的にバッファBUF1への入力信号INが高レベルになると、NchMOSトランジスタTn2のドレインーソース間が完全に導通して、ノードBの電圧は0Vとなる。この時、高電源電圧VDDHで動作するバッファBUF2は、ノードBの電圧が0Vへ移行するのに伴い、出力信号端子OUTからの出力信号の電位を0Vにして、この出力信号を図示しない高電源電圧動作回路へ供給する。一方、NchMOSトランジスタTn1のドレインーソース間が完全に非導通となると共に、PchMOSトランジスタTp1のソースードレイン間が導通して、ノードAの電圧は高電源電圧VDDHと等しくなる。

[0010] このように、従来のレベルシフト回路により、低電源電圧動作回路からの出力信号を高電源電圧VDDHの信号にレベルシフトして高電源電圧動作回路に入力することが可能となった。

[0011] しかしながら、前記従来の構成では、例えば入力信号端子INへの入力信号が高レベルから低レベルへと変化した際に、NchMOSトランジスタTn2のソースードレインが導通し、これによりノードBの電位が低下するのに1ステップ、更にこの状態からPchMOSトランジスタTp1のソースードレインが導通して、ノードAの電位が低レベルから高レベルに変化するのに更に1ステップ必要であって、NchMOSトランジスタTn1、Tn2及びPchMOSトランジスタTp1、Tp2の各端子の電位状態が変化して出力状態が高レベルか低レベルかが決定されるのに2ステップ必要であり、高速動作が難しいという課題があった。

[0012] そこで、従来、この問題の改善を図ったレベルシフト回路として、特許文献1に記載されるレベルシフト回路がある。この回路を図6に示す。同図に示すレベルシフト回路では、図5に示したレベルシフト回路の2個のPchMOSトランジスタTp1、Tp2に各々NchMOSトランジスタTn3、Tn4を並列に接続して付加し、それ等のPchMOSトランジスタTp1、Tp2の各ゲートにバッファBUF1からの相補の入力信号を与える構成としている。

[0013] 前記の構成により、同図のレベルシフト回路では、低電源電圧動作するバッファBUF1からの相補入力信号が反転した際には、一対のNchMOSトランジスタTn1、Tn2の一方(例えばTn1)のON動作により、一方のノードAが低レベルになると同時に

、追加した2個のNchMOSトランジスタTn3、Tn4の一方(Tn3)のON動作により、他方のノードBを高電源電圧VDDHの高レベルにして、出力状態を高レベルにするのに1ステップで済むようにしている。

特許文献1:特開平5-332593号公報

発明の開示

発明が解決しようとする課題

[0014] しかしながら、前記図6に示した従来のレベルシフト回路では、高速動作に必要となる2個のNchMOSトランジスタTn3、Tn4を付加することにより、面積が増大するという課題がある。更に、NchMOSトランジスタTn3、Tn4のドレインを高電圧電源VDDHに直接接続すると、半導体素子の製造プロセスによっては、高電源電圧VDDH分の逆バイアスがそれ等NchMOSトランジスタTn3、Tn4のバックゲートとドレインに印加されるため、それ等の信頼性が低下するという課題がある。

[0015] 更に、前記従来のレベルシフト回路では、入力信号INの周波数に関係なく、高速化のために付加した前述の2個のNchMOSトランジスタTn3、Tn4を動作させなければならぬため、入力信号INが低周波数で高速レベルシフト動作が不要な場合には、それ等余剰なNchMOSトランジスタTn3、Tn4の動作分、消費電力が増大するという課題がある。

[0016] 本発明は、前記技術的課題に着目し、その第1の目的は、従来よりも少ない素子数で且つその素子の信頼性を高く確保しつつレベルシフト回路の動作の高速化を図ることにある。

[0017] また、本発明の第2の目的は、前記第1の目的に加えて、低速なレベルシフト動作で十分な場合には、付加する素子の動作を停止させて、低消費電力化を図ることにある。

課題を解決するための手段

[0018] 前記第1の目的を達成するために、本発明では、図4に示した従来のレベルシフト回路において、2つのノードA、B間を抵抗で接続する構成を採用する。

[0019] また、本発明では、前記第2の目的を達成するために、前記別途付加する抵抗を常時ON状態の1個のトランジスタで構成し、このトランジスタを必要に応じてOFF制

御する構成を採用する。

[0020] 具体的に、本発明のレベルシフト回路は、ソースが高電圧電源に接続された第1及び第2のPチャネルトランジスタと、ソースがグランドに接続された第1及び第2のNチャネルトランジスタとを含み、低電源電圧動作回路からの入力信号と同位相及び逆位相の相補の入力信号が、各々、前記第1及び第2のNチャネルトランジスタのゲートに接続され、前記第1のNチャネルトランジスタのドレインは、前記第1のPチャネルトランジスタのドレイン及び前記第2のPチャネルトランジスタのゲートに接続され、前記第2のNチャネルトランジスタのドレインは、前記第2のPチャネルトランジスタのドレイン及び前記第1のPチャネルトランジスタのゲートに接続され、更に、前記第1のNチャネルトランジスタのドレインと前記第2のNチャネルトランジスタのドレインとを接続する抵抗を有し、前記第2のNチャネルトランジスタのドレインは、高電圧電圧動作回路への出力端子となることを特徴とする。

[0021] 本発明は、前記レベルシフト回路において、前記抵抗は、Pチャネルトランジスタで構成され、前記Pチャネルトランジスタは、ゲートがグランドに、ソースが前記第1のNチャネルトランジスタのドレインに、ドレインが前記第2のNチャネルトランジスタのドレインに各々接続されて、常時ON状態となっていることを特徴とする。

[0022] 本発明は、前記レベルシフト回路において、前記抵抗は、Nチャネルトランジスタで構成され、前記Nチャネルトランジスタは、ゲートが高電圧電源に、ソースが前記第1のNチャネルトランジスタのドレインに、ドレインが前記第2のNチャネルトランジスタのドレインに各々接続されて、常時ON状態となっていることを特徴とする。

[0023] 本発明は、前記レベルシフト回路において、前記抵抗は、Pチャネルトランジスタで構成され、前記Pチャネルトランジスタは、ゲートにON/OFF動作切換信号が入力され、ソースが前記第1のNチャネルトランジスタのドレインに、ドレインが前記第2のNチャネルトランジスタのドレインに各々接続されることを特徴とする。

[0024] 本発明は、前記レベルシフト回路において、前記抵抗は、Nチャネルトランジスタで構成され、前記Nチャネルトランジスタは、ゲートにON/OFF動作切換信号が入力され、ソースが前記第1のNチャネルトランジスタのドレインに、ドレインが前記第2のNチャネルトランジスタのドレインに各々接続されることを特徴とする。

[0025] 本発明は、前記レベルシフト回路において、前記ON/OFF動作切換信号は、外部から入力される動作モード切換信号であることを特徴とする。

[0026] 本発明は、前記レベルシフト回路において、前記第1及び第2のNチャネルトランジスタの両ドレインは、前記高電源電圧動作回路への差動出力端子となることを特徴とする。

[0027] 本発明の半導体集積回路は、前記レベルシフト回路を備えたことを特徴とする。

[0028] 以上により、本発明では、高速信号が入力された場合において、その入力信号が反転すると、低電位側のノードと高電位側のノードA、Bのうち、高電位側になろうとしている低電位側のノードに対して高電位側のノードから電流が抵抗を通じて供給されるので、この低電位側のノードが素早く電位上昇して、高電位になる。従って、低電位側のノードの高電位化への高速化が図られる。しかも、別途付加する抵抗は、1個のトランジスタから成る1個の素子の抵抗で構成できるので、図5に示した従来例と比較して、素子数が1個削減される。しかも、前記抵抗が1個のトランジスタで構成される場合に、そのバックゲートとドレインとの間には、高電源電圧分の逆バイアスが印加されることがないので、信頼性は高く確保される。

[0029] 特に、本発明では、低速入力信号が入力される場合には、抵抗を構成する1個のトランジスタがOFF(非導通)制御されて、高速動作が停止するので、この別途付加したトランジスタ(抵抗)での余剰な消費電力が省かれる。

発明の効果

[0030] 以上説明したように、本発明のレベルシフト回路及び半導体集積回路によれば、1個の素子で且つその素子に高電源電圧がかかるのを防止してその信頼性を高く確保しつつ、高電位側になろうとしている低電位側のノードに対して高電位側のノードから電流を抵抗を通じて供給することによってレベルシフト回路の高速化を図ることが可能である。

[0031] 特に、本発明のレベルシフト回路によれば、低速入力信号が入力される場合には、別途付加したトランジスタ(抵抗)をOFF動作させて、その余剰な消費電力の削減を図ることが可能である。

図面の簡単な説明

[0032] [図1]図1は本発明の実施形態1のレベルシフト回路を示す図である。

[図2]図2は本発明の実施形態2のレベルシフト回路を示す図である。

[図3]図3は本発明の実施形態3のレベルシフト回路を示す図である。

[図4]図4は本発明の実施形態4のレベルシフト回路を示す図である。

[図5]図5は従来のレベルシフト回路を示す図である。

[図6]図6は図5のレベルシフト回路を改良した従来のレベルシフト回路を示す図である。

符号の説明

[0033]	Tp1	第1のPchMOSトランジスタ
	Tp2	第2のPchMOSトランジスタ
	Tn1	第1のNchMOSトランジスタ
	Tn2	第2のNchMOSトランジスタ
	Tp3、Tp4	PchMOSトランジスタ(抵抗)
	Tn3	NchMOSトランジスタ(抵抗)
	Tn4	NchMOSトランジスタ
	BUF1、	
	BUF2、BUF3	バッファ
	A、B	ノード
	IN	入力端子
	OUT	出力端子
	OUTP、OUTN	差動出力端子
	VDDH	高電源電圧
	VDDL	低電源電圧
	VSSH	高電源電圧側のグランド
	VSSL	低電源電圧側のグランド
	Stb	待機モード信号 (ON/OFF切換信号及び動作モード切換信号)

発明を実施するための最良の形態

[0034] 以下、本発明の実施形態のレベルシフト回路を図面に基づいて詳細に説明する。

[0035] (実施形態1)

図1は本発明の実施形態1のレベルシフト回路の構成図を示す。

[0036] 同図において、BUF1は低電源電圧VDDL及びこの電圧に対するグランド(0V)VSSLで動作するインバータINV1、INV2を含む入力側のバッファ、BUF2は高電源電圧VDDHで動作するインバータINV3、INV4を含む出力側のバッファである。これ等バッファBUF1、BUF2の回路構成は、バッファ機能を有していれば良く、必ずしもインバータを多段接続した回路でなくても良い。

[0037] また、図1において、Tn1、Tn2は第1及び第2のNchMOSトランジスタであって、そのソースは前記高電圧電源VSSHに対するグランド(0V)VSSHに接続される。Tp1、Tp2は第1及び第2のPチャネルPchMOSトランジスタであって、そのソースは前記高電圧電源VDDHに接続される。INは入力側のバッファBUF1への低電源電圧の入力信号用の入力端子(以下、入力信号も同符号INで示す)であって、図示しない低電源電圧動作回路から入力信号INが供給される。

[0038] 前記入力側のバッファBUF1の前段のインバータINV1の出力、即ち、入力信号INと逆相の信号は前記第2のNchMOSトランジスタTn2のゲートに入力され、後段のインバータINV2の出力、即ち、入力信号INと同相の信号は前記第1のNchMOSトランジスタTn1のゲートに入力される。

[0039] 更に、前記NchMOSトランジスタTn1のドレインは、前記PchMOSトランジスタTp1のドレインに接続され、この接続点をノードAとする。前記ノードAは、前記PchMOSトランジスタTp2のゲートに接続される。同様に、前記NchMOSトランジスタTn2のドレインは、前記PchMOSトランジスタTp2のドレインに接続され、この接続点をノードBとする。このノードBは、前記PchMOSトランジスタTp1のゲートに接続される。

[0040] 前記バッファBUF2の前段のインバータINV3には、前記ノードBが接続され、一方、後段のインバータINV4からの高電源電圧VDDHである出力信号は、出力端子OUT(以下、出力信号もOUTで示す)から外部出力される。

[0041] そして、前記2つのノードA、Bは、抵抗としてのPchMOSトランジスタTp3により接続される。このPchMOSトランジスタ(抵抗)Tp3は、具体的には、そのソースがノード

Aに、ドレインがノードBに各々接続され、そのゲートには高電圧電源VSSHが接続されて、常時ON動作している。

[0042] 以下、本レベルシフト回路について、その動作を説明する。

[0043] 入力信号端子INの入力信号が低レベルから高レベルに変化した際、低電源電圧動作回路であるバッファBUF1では、2個のインバータINV1、INV2からは前記入力信号と逆相及び同相の信号が各々NchMOSトランジスタTn1、Tn2のゲート電圧に入力される。この時、入力信号INと逆相の信号、即ち、高レベルから低レベルに変化する信号がゲートに印加されたNchMOSトランジスタTn2は、徐々にON抵抗が増大し、このNchMOSトランジスタTn2のドレイン-ソース間電圧が上昇して、ノードBのレベルが高くなり始める。これとほぼ同時に、入力信号INと同相の信号がゲートに印加されたNchMOSトランジスタTn1が導通し始めて、ノードAから電流がこのNchMOSトランジスタTn1を通じて接地VSSHに流れ始め、徐々にこのNchMOSトランジスタTn1のON抵抗が低下すると、NchMOSトランジスタTn1のドレイン-ソース間の電圧が低下して、ノードAのレベルが低くなる。

[0044] 更に、前記ノードAの低レベルへの遷移に伴い、PchMOSトランジスタTp2のゲート電圧が低下して、ON動作し始め、PchMOSトランジスタTp2のドレイン電圧、即ち、ノードBのレベルが上昇する。ここで、この高レベル側に遷移するノードBでは、そのレベルは、入力信号INの変化前には低レベルにあり、一方、低レベル側に遷移するノードAのレベルは、入力信号INの変化前には高レベルにあったので、前記PchMOSトランジスタTp2のON動作し始めと同時又はその前段階から、高レベル側のノードAから電流が抵抗(PchMOSトランジスタ)Tp3を通じて低レベル側のノードBに流れ込み、これにより、高レベル側に遷移するノードBの電位上昇が促進される。

[0045] 前記高レベル側に遷移するノードBでは、その電位上昇の促進により、高電源電圧動作する出力側のバッファBUF2の前段のインバータINV3のスレショルド電圧を越えるまでの時間が短縮されて、バッファBUF2の出力端子OUTからの出力信号は早期に高電源電圧VDDHとなる。一方、前記ノードBの電位上昇に伴い、PchMOSトランジスタTp1は、そのゲート電圧が上昇して、OFFし始め、高電源電圧VDDHの供給がされ難くなつて、ノードAのレベル低下が継続される。ここで、高レベル側に遷

移するノードBは、高電圧電源VDDHからPchMOSトランジスタTp2、抵抗(PchMOSトランジスタ)Tp3及びNchMOSトランジスタTn1を通じて接地に至る接地経路の途中に位置するものの、抵抗(PchMOSトランジスタ)Tp3の上流側に位置するので、この抵抗Tp3の抵抗値を適宜設定すれば、高レベル側に遷移したノードBの電位レベルが一旦出力側のバッファBUF2の前段のインバータINV3のスレショルド電圧を越えた後に、そのスレショルド電圧未満に低下することを防止できる。

[0046] 一方、前記とは逆に、入力信号端子INの入力信号が高レベルから低レベルに変化した際の動作については、既述の動作と逆の動作が行われる。即ち、入力信号INと逆相の信号、即ち、低レベルから高レベルに変化する信号がゲートに印加されたNchMOSトランジスタTn2は、導通し始めて、ノードBから電流がこのNchMOSトランジスタTn2を通じて接地VSSHに流れ始め、徐々にこのNchMOSトランジスタTn2のON抵抗が低下すると、NchMOSトランジスタTn2のドレインーソース間の電圧が低下して、ノードBのレベルが低くなる。これとほぼ同時に、入力信号INと同相の信号がゲートに印加された他方のNchMOSトランジスタTn1は徐々にON抵抗が増大し、このNchMOSトランジスタTn1のドレインーソース間電圧が上昇して、ノードAのレベルが高くなり始める。

[0047] 更に、前記ノードBの低レベルへの遷移に伴い、PchMOSトランジスタTp1のゲート電圧が低下して、ON動作し始め、PchMOSトランジスタTp1のドレイン電圧、即ち、ノードAのレベルが上昇する。ここで、この高レベル側に遷移するノードAでは、そのレベルは、入力信号INの変化前には低レベルにあり、一方、低レベル側に遷移するノードBのレベルは、入力信号INの変化前には高レベルにあったので、前記PchMOSトランジスタTp1のON動作し始めと同時又はその前段階から、高レベル側のノードBから電流が抵抗(PchMOSトランジスタ)Tp3を通じて低レベル側のノードAに流れ込み、これにより、高レベル側に遷移するノードAの電位上昇が促進される。

[0048] 前記高レベル側に遷移するノードAの電位上昇の促進により、PchMOSトランジスタTp2は、そのゲート電圧が素早く上昇して、早期にOFFし始め、高電源電圧VDDHの供給がされ難くなって、ノードBのレベル低下が促進される。その結果、このノードBのレベルが高電源電圧動作するバッファBUF2の前段のインバータINV3のスレ

ショルド電圧未満になるまでの時間が短縮されて、バッファBUF2の出力端子OUTからの出力信号は早期に接地電圧VDDLとなる。

[0049] 図1に示した本実施形態のレベルシフト回路では、高レベル側にあるノードA又はBでは、その電位は、ON状態にある3つの直列接続のトランジスタ(Tp1、Tp3及びTn2)、(Tp2、Tp3及びTn1)の抵抗分割で決定される電位であって、高電源電圧VDDHにならないので、別途付加したトランジスタTp3では、従来のように高電源電圧分の逆バイアスがバックゲートとドレインに印加されることなく、信頼性が良好に確保される。

[0050] (実施形態2)
次に、本発明の実施形態2のレベルシフト回路について説明する。

[0051] 図2は本実施形態2のレベルシフト回路の構成を示す。同図に示したレベルシフト回路が図1のレベルシフト回路と異なる点は、抵抗を構成するトランジスタが、図1ではPchMOSトランジスタTp3であったのに対し、本実施形態では、NchMOSトランジスタTn3で構成している。このNchMOSトランジスタ(抵抗)Tn3は、具体的には、そのソースがノードAに、そのドレインがノードBに各々接続され、そのゲートは高電圧電源VDDHに接続されていて、常時ON動作している。

[0052] 従って、本実施形態においても、前記実施形態1と同一の作用効果を奏する。

[0053] (実施形態3)
次に、本発明の実施形態3のレベルシフト回路について説明する。

[0054] 図3は本実施形態3のレベルシフト回路の構成を示す。同図に示したレベルシフト回路は、出力信号を差動出力信号としたものであって、図1のレベルシフト回路と異なる点は、図1のレベルシフト回路に対して、更に、出力側のバッファBUF3を配置したものである。

[0055] 前記出力側のバッファBUF3は、高電源電圧VDDH及びこれに対応する低電源電圧VSSHで動作する2個のインバータINV5、INV6を含み、前段のインバータINV5はノードAに接続される。出力側の2個のバッファBUF2及びBUF3の出力側は、各々、入力信号INと同相の信号を出力する出力端子OUTP、及び入力信号INと逆相の信号が出力される出力端子OUTNに接続されて、この両出力端子OUTP、OUTN

UTNにより一对の差動出力端子が構成される。

[0056] 尚、本実施形態では、図1のレベルシフト回路に対して一对の差動出力端子OUTP、OUTNを設けた例を示したが、図2に示したレベルシフト回路に対しても同様に適用できるのは勿論である。

[0057] (実施形態4)

図4は、本発明の実施形態4のレベルシフト回路を示す。

[0058] 同図に示したレベルシフト回路の構成は、図1に示したレベルシフト回路の構成と同様であり、異なる点は、2つのノードA、Bを接続するPchMOSトランジスタTp4において、そのゲートに、ON/OFF動作切換信号として待機モード信号Stbが入力される点である。この待機モード信号(動作モード切換信号)Stbは、入力端子INから高周波数の高速信号が入力される通常動作モードには、低レベルVSSHとなって、別途付加したPchMOSトランジスタ(抵抗)Tp4を常時ON状態とする一方、入力端子INから低周波数の低速信号が入力される待機モードでは、高レベルVDDHとなって、PchMOSトランジスタ(抵抗)Tp4を常時OFF状態とするものである。この待機モード信号Stbは、本レベルシフト回路が備えられるLSI(半導体集積回路)から供給される。

[0059] 従って、本実施形態では、待機モードでは、入力端子INから低周波数の低速信号が入力されて、レベルシフト回路のレベルシフト動作は高速である必要はなく、通常速度で良い状況となる。この状況では、高レベルVDDHの待機モード信号Stbが入力されて、PchMOSトランジスタ(抵抗)Tp4が常時OFF状態となるので、高レベル側のノードからの電流供給によって高レベルへ遷移するノードの電位上昇を促進させる動作が中止されて、本レベルシフト回路は通常速度のレベルシフト動作を行う。従って、待機モードでは、従来のように余剰な動作がなく、従来に比して低消費電力化が図られる。

[0060] 尚、本実施形態では、PchMOSトランジスタ(抵抗)Tp4に待機モード信号Stbを入力したが、スリープモード信号等であっても良い。また、本実施形態では、図1のレベルシフト回路を変形したが、その他、図2及び図3のレベルシフト回路を変形しても良いのは勿論である。この場合、NchMOSトランジスタ(抵抗)Tn2では、待機モード

時には、低レベルVSSLの待機モード信号Stbを入力すれば良い。

[0061] 以上、図1～図4を用いて本発明のレベルシフト回路を説明したが、本発明は、このようなレベルシフト回路と、低電源電圧動作回路と、高電源電圧動作回路とを備えて、その低電源電圧動作回路からの出力信号を高電源電圧VDDHにレベルシフトして前記高電源電圧動作回路に出力する半導体集積回路も含まれる。

産業上の利用可能性

[0062] 本発明は、1個の抵抗を付加するだけでその抵抗の信頼性を良好に確保しつつ高速なレベルシフト動作が可能であるので、異なる電源電圧を持つ複数の回路部間で信号を伝搬させる場合に、低電圧の信号を高速に高電圧の信号にレベルシフトする小型なレベルシフト回路、及びそのようなレベルシフト回路や前記複数の回路部を備えた半導体集積回路として有用である。

請求の範囲

[1] ソースが高電圧電源に接続された第1及び第2のPチャネルトランジスタと、ソースがグランドに接続された第1及び第2のNチャネルトランジスタとを含み、低電源電圧動作回路からの入力信号と同位相及び逆位相の相補の入力信号が、各々、前記第1及び第2のNチャネルトランジスタのゲートに接続され、前記第1のNチャネルトランジスタのドレインは、前記第1のPチャネルトランジスタのドレイン及び前記第2のPチャネルトランジスタのゲートに接続され、前記第2のNチャネルトランジスタのドレインは、前記第2のPチャネルトランジスタのドレイン及び前記第1のPチャネルトランジスタのゲートに接続され、更に、前記第1のNチャネルトランジスタのドレインと前記第2のNチャネルトランジスタのドレインとを接続する抵抗を有し、前記第2のNチャネルトランジスタのドレインは、高電圧動作回路への出力端子となることを特徴とするレベルシフト回路。

[2] 前記請求項1記載のレベルシフト回路において、前記抵抗は、Pチャネルトランジスタで構成され、前記Pチャネルトランジスタは、ゲートがグランドに、ソースが前記第1のNチャネルトランジスタのドレインに、ドレンが前記第2のNチャネルトランジスタのドレインに各々接続されて、常時ON状態となっていることを特徴とするレベルシフト回路。

[3] 前記請求項1記載のレベルシフト回路において、前記抵抗は、Nチャネルトランジスタで構成され、前記Nチャネルトランジスタは、ゲートが高電圧電源に、ソースが前記第1のNチャネルトランジスタのドレインに、ドレンが前記第2のNチャネルトランジスタのドレインに各々接続されて、常時ON状態となっていることを特徴とするレベルシフト回路。

[4] 前記請求項1記載のレベルシフト回路において、
前記抵抗は、Pチャネルトランジスタで構成され、
前記Pチャネルトランジスタは、
ゲートにON/OFF動作切換信号が入力され、ソースが前記第1のNチャネルトランジスタのドレインに、ドレインが前記第2のNチャネルトランジスタのドレインに各々接続される
ことを特徴とするレベルシフト回路。

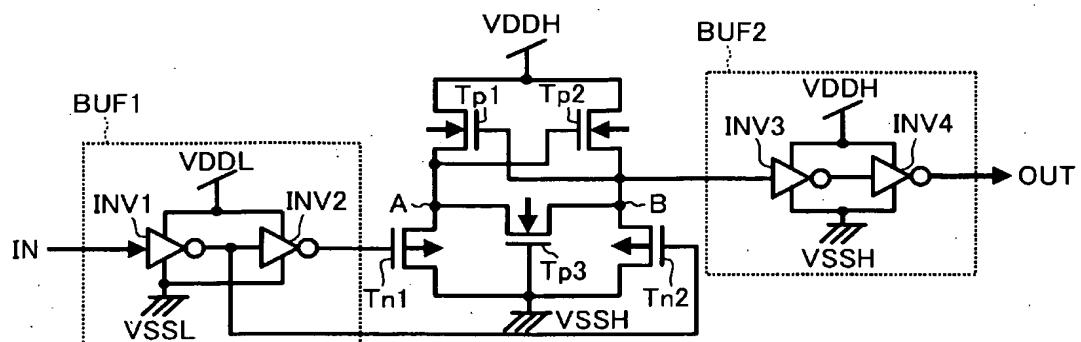
[5] 前記請求項1記載のレベルシフト回路において、
前記抵抗は、Nチャネルトランジスタで構成され、
前記Nチャネルトランジスタは、
ゲートにON/OFF動作切換信号が入力され、ソースが前記第1のNチャネルトランジスタのドレインに、ドレインが前記第2のNチャネルトランジスタのドレインに各々接続される
ことを特徴とするレベルシフト回路。

[6] 前記請求項4又は5記載のレベルシフト回路において、
前記ON/OFF動作切換信号は、外部から入力される動作モード切換信号である
ことを特徴とするレベルシフト回路。

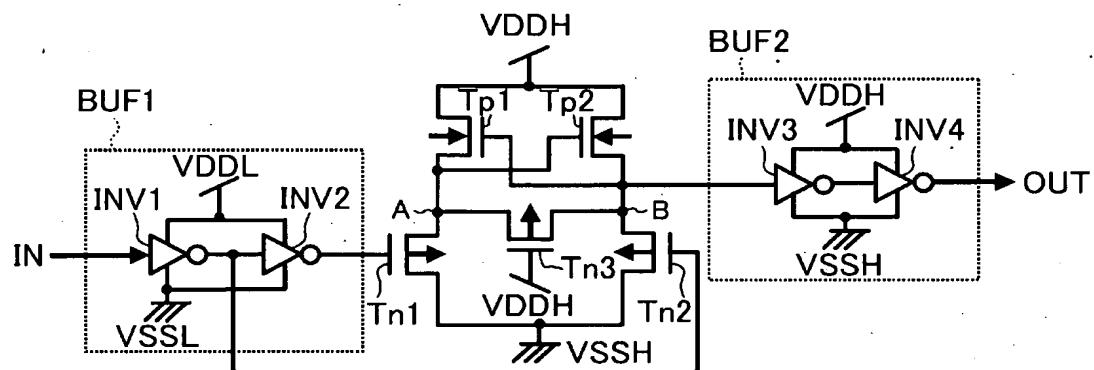
[7] 前記請求項1～6の何れか1項に記載のレベルシフト回路において、
前記第1及び第2のNチャネルトランジスタの両ドレインは、前記高電源電圧動作回路への差動出力端子となる
ことを特徴とするレベルシフト回路。

[8] 前記請求項1～7の何れか1項に記載のレベルシフト回路を備えた
ことを特徴とする半導体集積回路。

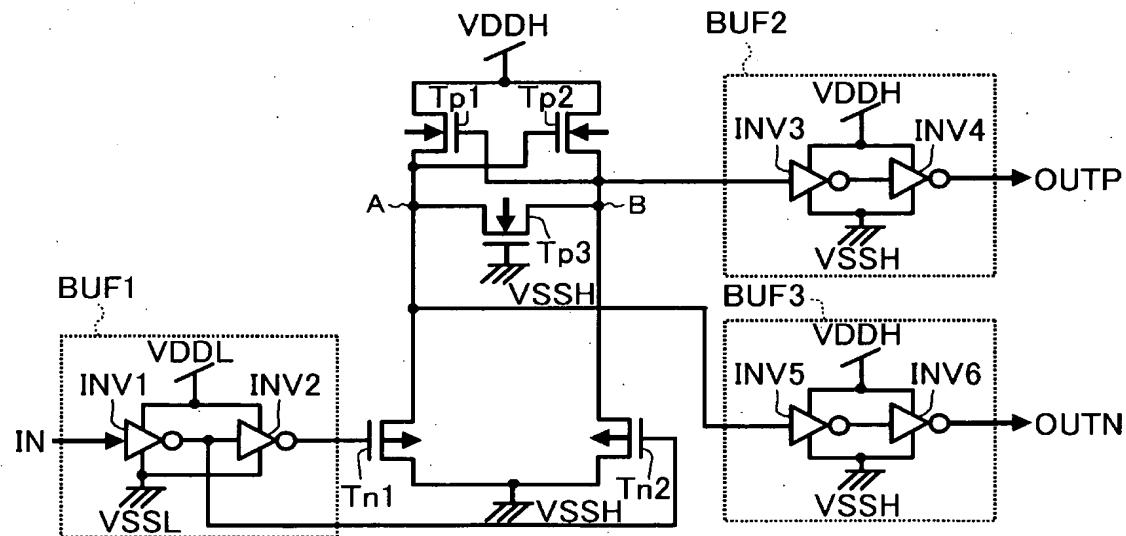
[図1]



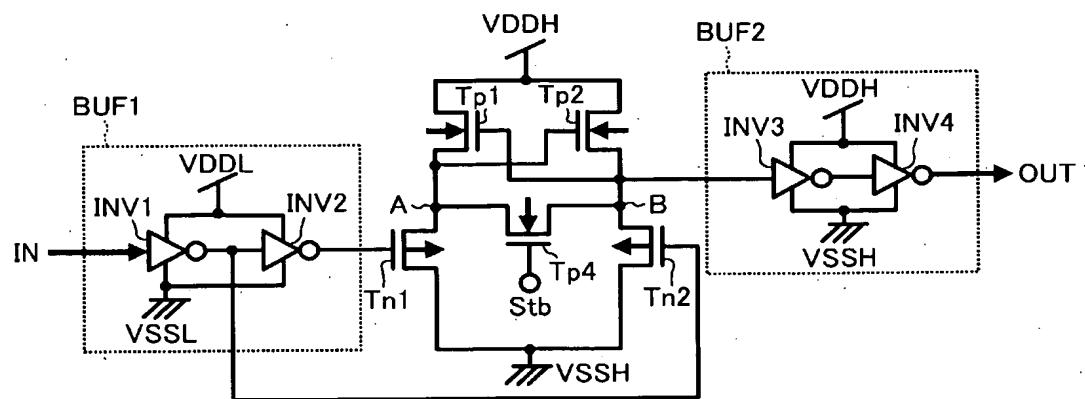
[図2]



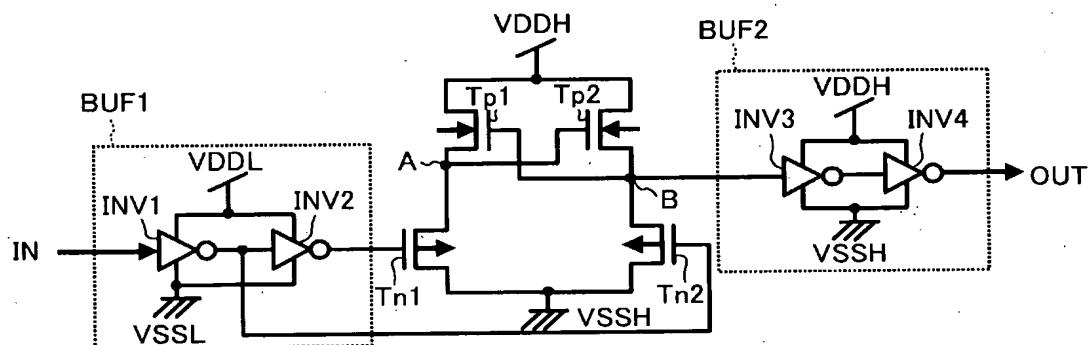
[図3]



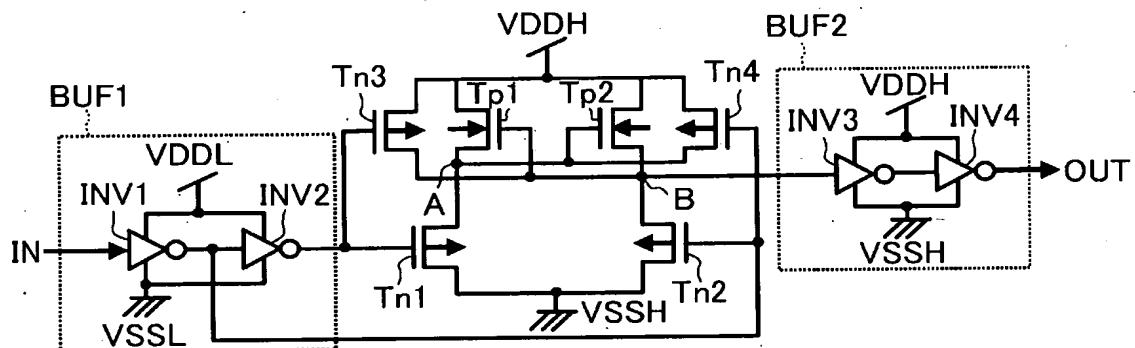
[图4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/019780

A. CLASSIFICATION OF SUBJECT MATTER
H03K19/0185 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K19/0185 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-298356 A (Matsushita Electric Industrial Co., Ltd.), 26 October, 2001 (26.10.01), Par. Nos. [0066] to [0091]; Figs. 7 to 18 & US 2001/0013795 A1 & EP 1126612 A1 & EP 1263142 A1	1-8
A	JP 2003-152096 A (Hitachi, Ltd.), 23 May, 2003 (23.05.03), Par. No. [0052], example 4 to Par. No. [0055]; Fig. 12 & US 2003/0042965 A1 & US 2004/0257142 A1 & CN 1407724 A	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search
13 January, 2006 (13.01.06)

Date of mailing of the international search report
24 January, 2006 (24.01.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/019780

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-332091 A (New Japan Radio Co., Ltd.), 30 November, 2001 (30.11.01), All pages; Figs. 1 to 9 (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl. H03K19/0185 (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl. H03K19/0185 (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-298356 A (松下電器産業株式会社) 2001.10.26, 【0066】-【0091】、図7-18 & US 2001/0013795 A1 & EP 1126612 A1 & EP 1263142 A1	1-8
A	JP 2003-152096 A (株式会社日立製作所) 2003.05.23, 【0052】<実施例4>-【0055】、図12, & US 2003/0042965 A1 & US 2004/0257142 A1 & CN 1407724 A	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13. 01. 2006

国際調査報告の発送日

24. 01. 2006

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮島 郁美

5X 8523

電話番号 03-3581-1101 内線 3596

C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-332091 A (新日本無線株式会社) 200 1. 11. 30, 全頁、図1-9 (ファミリーなし)	1-8